

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251996

(43)Date of publication of application : 17.09.1999

(51)Int.Cl. H04B 7/26
H01Q 3/26
H04B 1/713

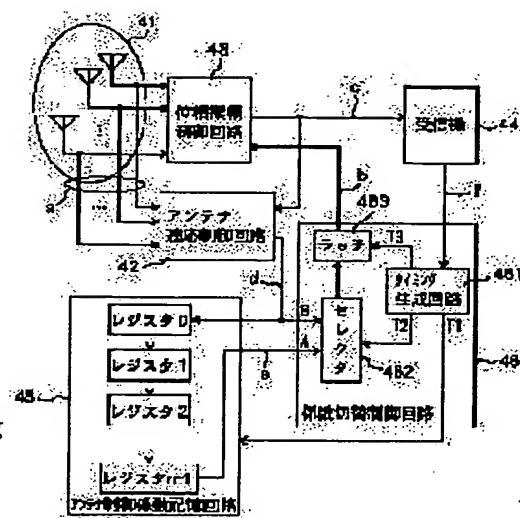
(21)Application number : 10-046550 (71)Applicant : KOKUSAI ELECTRIC CO LTD
(22)Date of filing : 27.02.1998 (72)Inventor : ASANO KATSUHIRO

(54) ADAPTIVE ARRAY ANTENNA CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an adaptive array antenna controller capable of obtaining a highly reliable antenna control coefficient even in the case of being applied to low-speed frequency hopping communication.

SOLUTION: This controller is provided with a phase amplitude control circuit 43 for outputting optimized reception signals based on reception signals from an array antenna 41, an antenna adaptation control circuit 42 for calculating the antenna control coefficient based on the reception signals and the optimized reception signals, an antenna control coefficient storage circuit 45 for storing and outputting the antenna control coefficient set for each hopping frequency corresponding to the timing of frequency hopping and a coefficient changeover control circuit 46 for controlling the transfer of the antenna control coefficient among the three circuits. For antenna adaptive control, the antenna control coefficient is read from the antenna control coefficient storage circuit 45 as the initial value of a control coefficient for each hopping frequency and is updated and stored in the antenna control coefficient storage circuit 45 as a present control coefficient latest value at the time of the end of the hopping frequency.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the adaptive array-antennas control unit which is equipped with the following and characterized by for antenna adaptive control by said antenna adaptive control circuit having been as initial value of a control factor at the termination time of read-out and hopping frequency, and updating and memorizing said antenna control coefficient store circuit to an antenna control coefficient as the present control-factor newest value to this antenna control coefficient store circuit for every hopping frequency. A phase amplitude-control circuit which adjusts and compounds a phase and amplitude of an input signal which are received from array antennas which consist of two or more two or more antenna elements which receive an electric wave from space, and outputs an optimization input signal A receiver which reproduces a signal transmitted by performing timing playback, a recovery, and **** processing based on an optimization input signal compounded in said phase amplitude-control circuit An antenna adaptive control circuit which calculates an antenna control coefficient which are a phase of said antenna element, and the controlled variable of amplitude based on an input signal received from said array antennas, and an optimization input signal outputted from said phase amplitude-control circuit An antenna control coefficient store circuit which performs storage and an output of an antenna control coefficient which carry out hopping, and which are set up for every frequency according to timing of frequency hopping supplied from said receiver, Timing which synchronized with frame timing extracted in said receiver is supplied to said antenna control coefficient store circuit. A coefficient change control circuit which controls delivery of an antenna control coefficient between three circuits of said antenna control coefficient store circuit, said phase amplitude-control circuit, and said antenna control coefficient store circuit according to this timing

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the control unit of the adaptive array antennas in the low-speed frequency-hopping communication link which changes transmission frequency every dozens symbols especially about digital radio communications.

[0002]

[Description of the Prior Art] The example of 1 configuration of the conventional adaptive array-antennas receiver is shown in drawing 4. It connects with the output side of the array antennas 11 which consist of two or more antenna elements (this example two elements), and these array antennas 11, and this adaptive array-antennas receiver is equipped with the antenna adaptive control circuit 12 where the input signal a of array antennas 11 is inputted and the phase amplitude-control circuit 13, and the receiver 14 into which the optimization input signal c which is an output signal of the phase amplitude-control circuit 13 is inputted, and is constituted. Here, the output of the antenna adaptive control circuit 12 is inputted into the phase amplitude-control circuit 13 again, and the output of the phase amplitude-control circuit 13 is inputted into the antenna adaptive control circuit 12.

[0003] Actuation of the conventional adaptive array-antennas receiver is explained below. The input signal a received from the array antennas 11 which consist of two or more antenna elements (this example two elements) is received with a phase different, respectively and the amplitude different, respectively.

[0004] In the antenna adaptive control circuit 12, the phase of each antenna element and the controlled variable (the phase of each antenna element and the controlled variable of the amplitude are named generically, and it is henceforth called an antenna control coefficient) b of the amplitude are calculated and (the computation of said antenna control coefficient is hereafter called adaptation processing) outputted using adaptation algorithm, such as well-known CMA (Constant Modulus Algorithm) and LMS (Least Mean Square).

[0005] An input signal a and the optimization input signal c which is the output of the phase amplitude-control circuit 13 mentioned later are used for this adaptation processing. Based on such information, by optimizing a certain performance index (for example, if it being the case of CMA amplitude error power), adaptation algorithm controls the antenna control coefficient b, and obtains the optimal directivity.

[0006] It is common for the initial value of the antenna control coefficient b used in the phase amplitude-control circuit 13 to set it as a certain specific antenna control coefficient (for example, for other antenna inputs to disregard only one antenna as the maximum gain), and to start adaptation processing first, and for the rest to carry out continuation use of the result of the before, and to perform continuous adaptation processing.

[0007] Next, in the phase amplitude-control circuit 13, while outputting the optimization input signal c which adjusted and compounded the phase and amplitude of each input signal according to said antenna control coefficient b to the antenna adaptive control circuit 12, it outputs also to a receiver 14.

[0008] And in a receiver 14, the recovery and decode processing according to the system to

apply are performed, and the transmitted signal is reproduced. Since the beam will be turned the optimization input signal c in the direction for which it wishes as a result of signal processing by adaptation algorithm, also in the communication environment in which an interference wave and an interference exist, the receiving quality in a receiver will become good.

[0009] In addition, although the case where an adaptive array was used for a receiver was explained, even when it uses for a transmitter similarly, the same effect is acquired here.

[0010] Moreover, there is a frequency-hopping communication link as a way stage of the interference evasion in the communication system which exists interference waves, such as cellular system. This mitigates the effect of an interference wave by actuation which changes the frequency used for a communication link the hopping period (T) of a certain fixed time amount (it communicates on the same frequency over two or more symbols in the case of low-speed hopping), as shown in drawing 5.

[0011]

[Problem(s) to be Solved by the Invention] However, when it uses combining the conventional adaptive array-antennas receiver and low-speed frequency-hopping communication link which were mentioned above, as are shown in drawing 6, and a difference is in a propagation path condition and it is shown in drawing 6 (a) with transmission frequency (f_0, f_1, f_2), the ideal directivity of an adaptive array changes with each transmission frequency. Therefore, after a transmission frequency change, by the time the beam of array antennas is turned to the ideal directivity in the following frequency, the delay which flattery takes (there is a degree difference with adaptation algorithm) will occur.

[0012] The direction which the error (control error power) over the ideal value of an antenna control coefficient is large, and wishes the beam of an antenna as shown in drawing 6 (b) between this flattery actuation is not turned to. In such the condition, received power may become small, or an interference wave and the interference may be received more strongly, and receiving quality deteriorates remarkably.

[0013] Moreover, it can emit, without being completed as a suitable value by the antenna control coefficient.

[0014] Furthermore, although there is a method of securing fixed time amount after a transmission frequency change as a card space, and interrupting a communication link in order to avoid the above troubles, insertion of an excessive guard space has a defect, such as causing decline in transmission efficiency.

[0015] Then, even when it is made in order to solve such a conventional trouble, and it applies to a low-speed frequency-hopping communication link, this invention has little delay, and the stable antenna control coefficient is obtained and it aims at offering the adaptive array-antennas control unit which can hold the good engine performance.

[0016]

[Means for Solving the Problem] In a low-speed frequency-hopping communication link which performs hopping over between two or more frequency with a period as which this invention is determined in the range of one to several 100 symbols in order to solve a technical problem mentioned above The phase amplitude-control circuit 43 which adjusts and compounds a phase and amplitude of an input signal which are received from the array antennas 41 which consist of two or more two or more antenna elements which receive an electric wave from space, and outputs an optimization input signal, It is based on an input signal received from said array antennas 41, and an optimization input signal outputted from said phase amplitude-control circuit. Adaptation algorithm, such as well-known CMA (Constant Modulus Algorithm) and LMS (Least Mean Square), is used. A phase of each antenna element, and the antenna adaptive control circuit 42 which calculates a controlled variable (antenna control coefficient) of amplitude, The antenna control coefficient store circuit 45 which performs storage and an output of an antenna control coefficient which carry out hopping according to timing of frequency hopping supplied from the exterior, and which are set up for every frequency, Timing which synchronized with frame timing extracted in a receiver 44 is supplied to said antenna control coefficient store circuit. The coefficient change control circuit 46 which controls delivery of an antenna control coefficient between three circuits of said antenna control coefficient store

circuit, said phase amplitude-control circuit, and said antenna control coefficient store circuit according to this timing. Based on an optimization input signal compounded in said phase amplitude-control circuit It is constituted by the receiver 44 which reproduces a signal transmitted by performing timing playback, a recovery, **** processing, etc. Antenna adaptive control by said antenna adaptive control circuit reads an antenna control coefficient from said antenna control coefficient store circuit as initial value of a control factor for every hopping frequency. It is at the termination time of hopping frequency, and it updates and is made to memorize as the current control-factor newest value to this antenna control coefficient store circuit.

[0017]

[Embodiment of the Invention] Hereafter, the gestalt of implementation of this invention is explained using drawing. Drawing 1 is the block diagram showing the example of 1 configuration of the adaptive array receiver concerning the gestalt of operation. Drawing in which drawing 2 shows an example of a frame structure, and drawing 3 are drawings explaining actuation of an antenna control coefficient store circuit.

[0018] In drawing 1 an adaptive array-antennas control unit While connecting with the phase amplitude-control circuit 43 connected to the array antennas 41 which consist of two or more antenna elements, and array antennas 41 The antenna adaptive control circuit 42 connected to the output side of the phase amplitude-control circuit 43, The receiver 44 connected to the output side of the phase amplitude-control circuit 43, and a receiver 44, the antenna adaptive control circuit 42 and the coefficient change control circuit 46 connected to the output side of the antenna control coefficient store circuit 45 mentioned later, It has the above-mentioned antenna control coefficient store circuit 45 connected to the output side of the antenna adaptive control circuit 42.

[0019] The antenna control coefficient store circuit 45 is equipped with n registers from the register 0 connected to the output side of the antenna adaptive control circuit 42 to a register n-1, and the output side of a register n-1 is connected to one terminal A of a selector 462 which the coefficient change control circuit 46 mentions later.

[0020] The three output terminals (it corresponds to an output signal T1 - T3) are equipped with the antenna control coefficient store circuit 45, a selector 462, and the timing generation circuit 461 where it connects with latch 463, respectively, and the coefficient change control circuit 46 is constituted while connecting with the output side of a receiver 44 with the above-mentioned selector 462 by which the output side of the antenna adaptive control circuit 42 is connected to the other-end child B, and the latch 463 by whom the output side of a selector 462 is connected.

[0021] Hereafter, actuation of the gestalt of operation is explained. The input signal a received from the array antennas 41 which consist of two or more antenna elements is received with the phase and amplitude which are different by each antenna element. An input signal a is inputted into the antenna adaptive control circuit 42 and the phase amplitude-control circuit 43.

[0022] In the antenna adaptive control circuit 42, based on an input signal a and the optimization input signal c which is the output of the phase amplitude-control circuit 43 mentioned later, the antenna control coefficient b is calculated using adaptation algorithm, such as well-known CMA and LMS, and it is outputted to the coefficient change control circuit 46 and the antenna control coefficient store circuit 45.

[0023] In addition, the initial value of the antenna control coefficient b shall be given as a specific value for every n slots corresponding to each different frequency in the frame which starts adaptation processing and which is begun No. 1, and adaptation processing continued for every n slots corresponding to each frequency is performed after the 2nd frame.

[0024] The slot which will continue in time if the example of drawing 2 explains (for example, between a slot 01 [*1] and a slot 02 [*2], adaptation processing which has a continuity between the slots (for example, a slot 02 [*2] and a slot 12 [*3]) which the continuity of adaptation processing does not have and use the same different frequency by inter-frame will be performed.)

[0025] Next, in the phase amplitude-control circuit 43, the phase of an input signal a and the

amplitude are adjusted and compounded using the antenna control coefficient b calculated in the antenna adaptive control circuit 42, the optimization input signal c which it is as a result is outputted to a receiver 44, and it feeds back to coincidence in the antenna adaptive control circuit 42.

[0026] In a receiver 44, the signal transmitted by performing recovery, decode processing, etc. according to the system which applies the optimization input signal c is reproduced. Moreover, it is made to synchronize with the hopping timing detected with well-known frame detection technology, and various kinds of clock signals which are needed in the coefficient change control circuit 46 mentioned later are supplied.

[0027] Based on various clock signal f , such as frame timing extracted by means, such as detection of a synchronizing signal, in a receiver 44, the timing generation circuit 461 generates the register shift signal $T1$, the selector control signal $T2$, and renewal timing $T3$ of a coefficient, and, thereby, controls delivery of the antenna control coefficient b by the coefficient change control circuit 46 using latch 463, a selector 462, and the antenna control coefficient store circuit 45.

[0028] In the antenna control coefficient store circuit 45, it updates and memorizes serially for every slot which carries out the hopping of the newest value of the antenna control coefficient b according to the timing outputted from the coefficient change control circuit 46.

[0029] Hereafter, the delivery control method of actuation of an antenna control coefficient store circuit and the antenna control coefficient of a coefficient change control circuit is explained.

[0030] When performing round hopping on three frequency, f_0 , f_1 , and f_2 , like drawing 3 (equivalent to $n=3$ all over drawing 1 and drawing 2 drawing), first for example, at the time of the hopping timing $t1$ [*1 of drawing 3] The contents of a register in the antenna control coefficient store circuit 45 with the depth (this example $n=3$) equivalent to the number of the frequency which carries out hopping according to a register shift signal [* $T1$ of drawing 3 , $T1$ of drawing 1] are shifted (the contents of the register 2 are discarded). The contents of the register 1 are moved to a register 2, the contents of the register 0 are moved and used as a register 1, and the newest value f_0 of the antenna control coefficient b (1) is written in a register 0.

[0031] By the selector 462 of the coefficient change control circuit 46 interior, a selector output is changed to A input at coincidence according to a selector control signal [* $T2$ of drawing 3 , $T2$ of drawing 1]. By this, the oldest antenna control coefficient f_1 equivalent to the control factor at the time of the frequency f_1 reception before one (0) will be prepared for the entrance of the latch 463 of the coefficient change control circuit 46 interior.

[0032] Next, in the renewal timing of a coefficient immediately after said actuation termination [*2 of drawing 2], the antenna control coefficient f_1 (0) is written in the latch 463 of the coefficient change control circuit 46 interior, and it is outputted to the phase amplitude-control circuit 43.

[0033] Next, in [*3 of drawing 3], according to a selector control signal, the selector 462 of the coefficient change control circuit 46 interior changes a selector output to B input, and at the time while resulting [from said renewal timing of a coefficient [*2 of drawing 3]] in the following renewal timing of a coefficient [*4 of drawing 3], it changes pass so that the direct output of the output of the antenna adaptive control circuit 42 may be carried out. Then, the hopping timing $t2$ [*5 of drawing 3] holds a selector output with B input.

[0034] Next, when it becomes the hopping timing $t2$, after changing a selector output to A input side again and writing in the shift of a register, and the newest value f_1 of an antenna control coefficient (1), the oldest antenna control coefficient f_2 (0) is outputted to the phase amplitude-control circuit 43 from the antenna control coefficient store circuit 45. Then, before the following renewal timing of a coefficient, a selector output is again changed to B input, and the direct output of the output of the antenna adaptive control circuit 42 is carried out.

[0035] Hereafter, same actuation is performed in each hopping timing [t_i ($0 \leq i < \infty$) of drawing 3]. In addition, it is easy if FIFO (First In First Out) memory is used for realizing the antenna control coefficient store circuit 45 by hardware.

[0036] Moreover, it is [0037], when an equivalent effect is acquired, for example, the example of

drawing 3 explains as the configuration method of another antenna control coefficient store circuit 45 also by writing not moving the contents of the register as mentioned above, but changing the address of read-out to n registers, and writing in round (□ which is the following inside shows the data of register contents). The write-in address in the timing of t1 A register 0 [f0 (1)], A register 1 [f1 (0)] and the write-in address in the timing of t2 A register 1 [f1 (1)], [the read-out address] A register 2 [f2 (0)] and the write-in address in the timing of t3 A register 2 [f2 (1)], [the read-out address] A register 0 [f0 (1)] and the write-in address in the timing of t4 A register 0 [f1 (2)], [the read-out address] the read-out address -- a register 1 [f1 (1)] and the write-in address in the timing of t5 -- a register 1 [f2 (2)] and the read-out address -- a register 2 [f2 (1)] and [0038] It turns out that a next door and the result read are equivalent. However, when this method is used, the register holding data is needed between the selector input of the coefficient change control circuit 46, and the antenna control coefficient store circuit 45.

[0039]

[Effect of the Invention] As explained to details above, according to this invention, the effect that there is little malfunction to which transmission frequency originates in the change of transmission frequency also in the frequency-hopping communication link which changes periodically, and it can realize a reliable adaptive array-antennas control unit is done so.

[Translation done.]

(11)特許出願公開番号

(43)公開日 平成11年(1999)9月17日

F I		
H 0 4 B	7/26	B
H 0 1 Q	3/26	Z
H 0 4 J	13/00	E

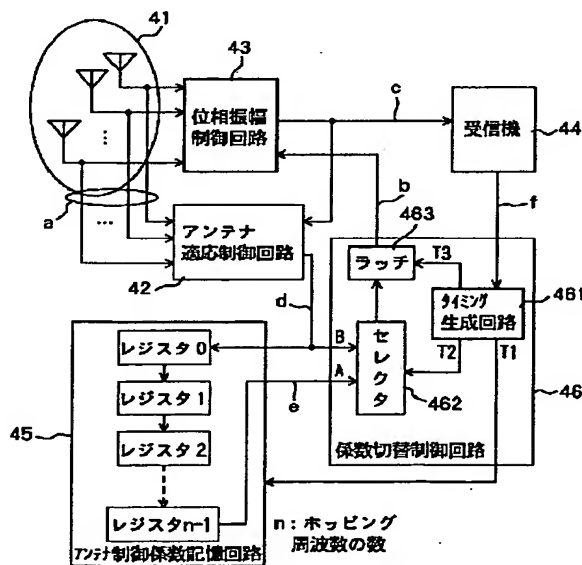
審査請求 未請求 請求項の数1 OL (全 6 頁)

(71)出願人 000001122
国際電気株式会社
東京都中野区東中野三丁目14番20号

(72)発明者 浅野 勝洋
東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(74)代理人 弁理士 石戸 元 (外3名)

【解決手段】 アレイアンテナからの受信信号に基づいて最適化受信信号を出力する位相振幅制御回路と、受信信号と最適化受信信号に基づいてアンテナ制御係数を計算するアンテナ適応制御回路と、周波数ホッピングのタイミングに従って、ホッピングする周波数毎に設定されるアンテナ制御係数の記憶および出力を行うアンテナ制御係数記憶回路と、前記3つの回路間でのアンテナ制御係数の受け渡しを制御する係数切替制御回路とを備え、アンテナ適応制御は、各ホッピング周波数毎にアンテナ制御係数記憶回路からアンテナ制御係数を制御係数の初期値として読出し、ホッピング周波数の終了時点でアンテナ制御係数記憶回路に現在の制御係数最新値として更新、記憶するようにした。



【特許請求の範囲】

【請求項1】 空間からの電波を受信する2つ以上の複数のアンテナ素子で構成されるアレイアンテナより受信される受信信号の位相と振幅を調整して合成し最適化受信信号を出力する位相振幅制御回路と、

前記位相振幅制御回路において合成された最適化受信信号をもとに、タイミング再生、復調、復合処理を行い送信された信号を再生する受信機と、

前記アレイアンテナより受信される受信信号と前記位相振幅制御回路から出力される最適化受信信号に基づいて、前記アンテナ素子の位相と振幅の制御量であるアンテナ制御係数を計算するアンテナ適応制御回路と、

前記受信機より供給される周波数ホッピングのタイミングに従って、ホッピングする周波数毎に設定されるアンテナ制御係数の記憶および出力を行うアンテナ制御係数記憶回路と、

前記受信機において抽出されるフレームタイミングに同期したタイミングを前記アンテナ制御係数記憶回路に供給し、該タイミングに従って前記アンテナ制御係数記憶回路と前記位相振幅制御回路と前記アンテナ制御係数記憶回路の3つの回路間でのアンテナ制御係数の受け渡しを制御する係数切替制御回路とを備え、

前記アンテナ適応制御回路によるアンテナ適応制御は、各ホッピング周波数毎に前記アンテナ制御係数記憶回路からアンテナ制御係数を制御係数の初期値として読出し、ホッピング周波数の終了時点で該アンテナ制御係数記憶回路に現在の制御係数最新値として更新、記憶するようにしたことを特徴とするアダプティブアレイアンテナ制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ディジタル無線通信に関するもので、特に数十シンボル毎に伝送周波数を切り替える低速周波数ホッピング通信におけるアダプティブアレイアンテナの制御装置に関するものである。

【0002】

【従来の技術】従来のアダプティブアレイアンテナ受信機の一構成例を図4に示す。このアダプティブアレイアンテナ受信機は、複数のアンテナ素子（この例では2素子）で構成されるアレイアンテナ11と、これらアレイアンテナ11の出力側に接続され、アレイアンテナ11の受信信号aが入力されるアンテナ適応制御回路12、及び位相振幅制御回路13と、位相振幅制御回路13の出力信号である最適化受信信号cが入力される受信機14とを備えて構成されている。ここで、アンテナ適応制御回路12の出力はまた位相振幅制御回路13に入力され、また位相振幅制御回路13の出力はアンテナ適応制御回路12に入力される。

【0003】以下に従来のアダプティブアレイアンテナ受信機の動作について説明する。複数のアンテナ素子

（この例では2素子）で構成されるアレイアンテナ11から受信される受信信号aは、それぞれ異なる位相と振幅で受信される。

【0004】アンテナ適応制御回路12では、公知のCMA (Constant Modulus Algorithm) やLMS (Least Mean Square) などの適応アルゴリズムを用い、それぞれのアンテナ素子の位相と振幅の制御量（それぞれのアンテナ素子の位相と振幅の制御量を総称し以降、アンテナ制御係数という）bを計算（以下、前記アンテナ制御係数の計算処理を適応処理という）し出力する。

【0005】この適応処理には、受信信号aと後述する位相振幅制御回路13の出力である最適化受信信号cを用いる。適応アルゴリズムはこれらの情報に基づいて、何らかの評価関数（たとえばCMAの場合なら振幅誤差電力）を最適化することによりアンテナ制御係数bを制御し、最適な指向性を得る。

【0006】位相振幅制御回路13で用いるアンテナ制御係数bの初期値は、まず、ある特定のアンテナ制御係数（例えば、一本のアンテナのみ最大ゲインとして、その他のアンテナ入力は無視する等）に設定して適応処理を開始し、後はその以前の結果を継続利用し、連続した適応処理を行うのが一般的である。

【0007】次に、位相振幅制御回路13において、前記アンテナ制御係数bに従ってそれぞれの受信信号の位相および振幅を調整して合成した最適化受信信号cをアンテナ適応制御回路12に出力すると共に受信機14にも出力する。

【0008】そして、受信機14において、適用するシステムに応じた復調、復号処理を行い、送信された信号を再生する。最適化受信信号cは適応アルゴリズムによる信号処理の結果、希望する方向にビームを向けた状態になっているので、干渉波や妨害波の存在する通信環境においても受信機での受信品質は良好なものとなる。

【0009】なお、ここでは、アダプティブアレイを受信機に用いる場合について説明したが、同様に送信機に用いた場合でも同様の効果が得られる。

【0010】また、セルラーシステム等の干渉波が存在する通信システムにおける干渉回避の手段として周波数ホッピング通信がある。これは図5に示すように、通信に用いる周波数がある一定時間（低速ホッピングの場合は複数シンボルにわたって同一周波数で通信を行う）のホッピング周期（T）で切り替える操作により干渉波の影響を軽減するものである。

【0011】

【発明が解決しようとする課題】しかし、上述した従来のアダプティブアレイアンテナ受信機と低速周波数ホッピング通信を組み合わせ用いた場合、図6に示す様に伝送周波数（ f_0 、 f_1 、 f_2 ）によって伝搬路状況には差があり、図6（a）に示すように、夫々の伝送周波

数によってアダプティブアレイの理想的指向性は変化する。従って、伝送周波数切替え後、次の周波数における理想的指向性にアレイアンテナのビームが向けられるまでには、追従に要する遅延（適応アルゴリズムによって程度差はあるが）が発生する。

【0012】この追従動作の間は、図6(b)に示すように、アンテナ制御係数の理想値に対する誤差（制御誤差電力）が大きく、アンテナのビームは希望する方向を向いていない。このような状態では、受信電力が小さくなってしまうたり、干渉波や妨害波の方をより強く受信してしまう可能性もあり、受信品質が著しく劣化する。

【0013】また、アンテナ制御係数が適切な値に収束することなく発散してしまう可能性もあり得る。

【0014】さらに、前記のような問題点を回避するために伝送周波数切替え後の一定時間をカードスペースとして確保し通信を中断するという方法があるが、余計なガードスペースの挿入は伝送効率の低下を招く等の欠点がある。

【0015】そこで、この発明は、このような従来の問題点を解決するためになされたもので、低速周波数ホッピング通信に適用した場合でも、遅延が少なく、安定したアンテナ制御係数が得られ、良好な性能を保持できるアダプティブアレイアンテナ制御装置を提供することを目的とする。

【0016】

【課題を解決するための手段】上述した課題を解決するため、この発明は、1シンボルから数100シンボルの範囲で定められる周期で複数の周波数間に渡りホッピングを行う低速周波数ホッピング通信において、空間からの電波を受信する2つ以上の複数のアンテナ素子で構成されるアレイアンテナ41より受信される受信信号の位相と振幅を調整して合成し、最適化受信信号を出力する位相振幅制御回路43と、前記アレイアンテナ41より受信される受信信号と前記位相振幅制御回路から出力される最適化受信信号に基づいて、公知のCMA (Constant Modulus Algorithm) や LMS (Least Mean Square) などの適応アルゴリズムを用いて、それぞれのアンテナ素子の位相と振幅の制御量（アンテナ制御係数）を計算するアンテナ適応制御回路42と、外部より供給される周波数ホッピングのタイミングに従ってホッピングする周波数毎に設定されるアンテナ制御係数の記憶および出力を行うアンテナ制御係数記憶回路45と、受信機44において抽出されるフレームタイミングに同期したタイミングを前記アンテナ制御係数記憶回路に供給し、該タイミングに従って前記アンテナ制御係数記憶回路と前記位相振幅制御回路と前記アンテナ制御係数記憶回路の3つの回路間でのアンテナ制御係数の受け渡しを制御する係数切替制御回路46と、前記位相振幅制御回路において合成された最適化受信信号をもとに、タイミング再生、復

調、復合処理等を行い送信された信号を再生する受信機44とによって構成され、前記アンテナ適応制御回路によるアンテナ適応制御は各ホッピング周波数毎に前記アンテナ制御係数記憶回路からアンテナ制御係数を制御係数の初期値として読み出し、ホッピング周波数の終了時点で該アンテナ制御係数記憶回路に現在の制御係数最新値として更新、記憶するようにしたものである。

【0017】

【発明の実施の形態】以下、この発明の実施の形態を図を用いて説明する。図1は、実施の形態に係るアダプティブアレイ受信機の一構成例を示すブロック図である。図2はフレーム構成の一例を示す図、図3はアンテナ制御係数記憶回路の動作を説明する図である。

【0018】図1において、アダプティブアレイアンテナ制御装置は、複数のアンテナ素子で構成されるアレイアンテナ41に接続された位相振幅制御回路43と、アレイアンテナ41に接続されると共に、位相振幅制御回路43の出力側に接続されたアンテナ適応制御回路42と、位相振幅制御回路43の出力側に接続された受信機44と、受信機44、アンテナ適応制御回路42、及び後述するアンテナ制御係数記憶回路45の出力側に接続された係数切替制御回路46と、アンテナ適応制御回路42の出力側に接続された前述のアンテナ制御係数記憶回路45とを備えている。

【0019】アンテナ制御係数記憶回路45は、アンテナ適応制御回路42の出力側に接続されたレジスタ0からレジスタ $n-1$ までの n 個のレジスタを備え、レジスタ $n-1$ の出力側が係数切替制御回路46の後述するセレクト462の一方の端子Aに接続されている。

【0020】係数切替制御回路46は、アンテナ適応制御回路42の出力側が他方の端子Bに接続される前述のセレクト462と、セレクト462の出力側が接続されるラッチ463と、受信機44の出力側に接続されると共に、その3つの出力端子（出力信号T1～T3に対応）がそれぞれアンテナ制御係数記憶回路45、セレクト462、ラッチ463に接続されるタイミング生成回路461とを備えて構成されている。

【0021】以下、実施の形態の動作について説明する。複数のアンテナ素子で構成されるアレイアンテナ41より受信される受信信号aは、それぞれのアンテナ素子で異なる位相と振幅で受信される。受信信号aはアンテナ適応制御回路42、及び位相振幅制御回路43へ入力される。

【0022】アンテナ適応制御回路42では、受信信号aと後述する位相振幅制御回路43の出力である最適化受信信号cに基づいて、公知のCMAやLMSなどの適応アルゴリズムを用いてアンテナ制御係数bを計算し、それを係数切替制御回路46とアンテナ制御係数記憶回路45に出力する。

【0023】なお、アンテナ制御係数bの初期値は適応

処理を開始する1番始めのフレームにおいて、それぞれの異なる周波数に対応した n 個のスロット毎に特定の値として与えられるものとし、2番目のフレーム以降は各周波数に対応した n 個のスロット毎に継続した適応処理を行う。

【0024】図2の例で説明すると、時間的に連続するスロット（例えばスロット01[*1]とスロット02[*2]の間には、適応処理の連続性はなく、異なるフレーム間で同じ周波数を使用するスロット（例えばスロット02[*2]とスロット12[*3]）の間で連続性を持つような適応処理を行うことになる。

【0025】次に、位相振幅制御回路43では、アンテナ適応制御回路42で計算されたアンテナ制御係数 b を用いて受信信号 a の位相、及び振幅を調整して合成し、その結果である最適化受信信号 c を受信機44に出力し、同時にアンテナ適応制御回路42にフィードバックする。

【0026】受信機44では、最適化受信信号 c を適用するシステムに応じ復調、復号処理等を行い送信された信号を再生する。また公知のフレーム検出技術により検出したホッピングタイミングに同期させ、後述する係数切替制御回路46で必要となる各種のクロック信号を供給する。

【0027】係数切替制御回路46では、受信機44において同期信号の検出等の手段によって抽出されるフレームタイミング等の各種クロック信号 f に基づいて、タイミング生成回路461がレジスタシフト信号 $T1$ 、セレクト制御信号 $T2$ 、係数更新タイミング $T3$ を生成し、それによりラッチ463やセレクト462とアンテナ制御係数記憶回路45を用いてアンテナ制御係数 b の受け渡しを制御する。

【0028】アンテナ制御係数記憶回路45では、係数切替制御回路46より出力されるタイミングに従ってアンテナ制御係数 b の最新値をホッピングするスロット毎に逐次更新、記憶していく。

【0029】以下、アンテナ制御係数記憶回路の動作および係数切替制御回路のアンテナ制御係数の受け渡し制御方法を説明する。

【0030】例えば、図3のように $f0$ 、 $f1$ 、 $f2$ の3つの周波数で巡回ホッピングを行う場合（図1、図2 40 図中で $n=3$ に相当）、まず、ホッピングタイミング $t1$ [図3の*1]の時点で、レジスタシフト信号 [図3の*T1、図1のT1]に従ってホッピングする周波数の数に相当する深さ（この例では $n=3$ ）を持つアンテナ制御係数記憶回路45内のレジスタ内容をシフト（レジスタ2の内容を廃棄し、レジスタ1の内容をレジスタ2に移動し、レジスタ0の内容をレジスタ1に移動する）し、レジスタ0にアンテナ制御係数 b の最新値 $f0(1)$ の書き込みを行う。

【0031】同時に係数切替制御回路46内部のセレクト

タ462では、セレクト制御信号 [図3の*T2、図1のT2]に従いセレクト出力をA入力に切替える。これにより、係数切替制御回路46内部のラッチ463の入口には、1つ前の周波数 $f1$ 受信時の制御係数に相当する最も古いアンテナ制御係数 $f1(0)$ が用意されていることになる。

【0032】次に、前記操作終了直後の係数更新タイミング [図2の*2]において係数切替制御回路46内部のラッチ463にアンテナ制御係数 $f1(0)$ が書き込まれ位相振幅制御回路43へ出力される。

【0033】次に、前記係数更新タイミング [図3の*2]からその次の係数更新タイミング [図3の*4]に至る間の時点 [図3の*3]において、係数切替制御回路46内部のセレクト462はセレクト制御信号に従い、セレクト出力をB入力に切替え、アンテナ適応制御回路42の出力を直接出力するようにパスを切替える。その後、ホッピングタイミング $t2$ [図3の*5]まではセレクト出力をB入力のまま保持する。

【0034】次に、ホッピングタイミング $t2$ になった時点で、再びセレクト出力をA入力側に切り替え、レジスタのシフト、アンテナ制御係数の最新値 $f1(1)$ の書き込みを行った後、アンテナ制御係数記憶回路45から最も古いアンテナ制御係数 $f2(0)$ を位相振幅制御回路43に出力する。その後、次の係数更新タイミングの前に再びセレクト出力をB入力に切替え、アンテナ適応制御回路42の出力を直接出力する。

【0035】以下、同様の操作を各ホッピングタイミング [図3の t_i ($0 \leq i \leq \infty$)]において行う。なお、アンテナ制御係数記憶回路45をハードウェアで実現するにはFIFO (First In First Out) メモリを使うと簡単である。

【0036】また、もう一つのアンテナ制御係数記憶回路45の構成方法として、上記の様にレジスタの中味を移動していくのではなく、 n 個のレジスタに対する読出しと書き込みのアドレスを巡回的に変えながら読み書きを行うことによって等価な効果が得られ、例えば、図3の例で説明すると（以下の[]内はレジスタ中味のデータを示している）、

【0037】 $t1$ のタイミングでの書き込みアドレスがレジスタ0 [$f0(1)$]、読出しアドレスがレジスタ1 [$f1(0)$]、 $t2$ のタイミングでの書き込みアドレスがレジスタ1 [$f1(1)$]、読出しアドレスがレジスタ2 [$f2(0)$]、 $t3$ のタイミングでの書き込みアドレスがレジスタ2 [$f2(1)$]、読出しアドレスがレジスタ0 [$f0(1)$]、 $t4$ のタイミングでの書き込みアドレスがレジスタ0 [$f1(2)$]、読出しアドレスがレジスタ1 [$f1(1)$]、 $t5$ のタイミングでの書き込みアドレスがレジスタ1 [$f2(2)$]、読出しアドレスがレジスタ2 [$f2(1)$]、

【0038】となり、読出される結果が等価であること

がわかる。ただし、この方法を用いた場合は係数切替制御回路46のセクタ入力とアンテナ制御係数記憶回路45との間にデータを保持するレジスタが必要になる。

【0039】

【発明の効果】以上詳細に説明したように、この発明によれば、伝送周波数が周期的に切り替わる周波数ホッピング通信においても、伝送周波数の切り替えに起因する誤動作が少なく、信頼性の高いアダプティブアレイアンテナ制御装置を実現することができるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の実施の形態を示すブロック図である。

【図2】この発明の実施の形態における周波数ホッピング通信フレームの構成例を示す図である。

【図3】この発明の実施の形態におけるアンテナ制御係数

* 数制御回路の動作説明図である。

【図4】従来のアダプティブアレイアンテナ制御装置を示すブロック図である。

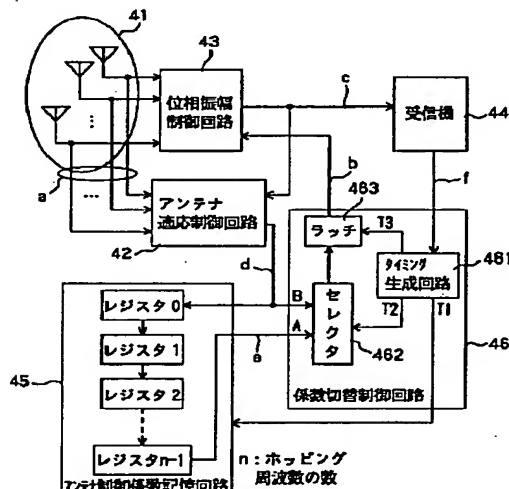
【図5】周波数ホッピング通信の概念を示す図である。

【図6】伝送周波数毎の理想的指向性と制御誤差電力の関係を示す図である。

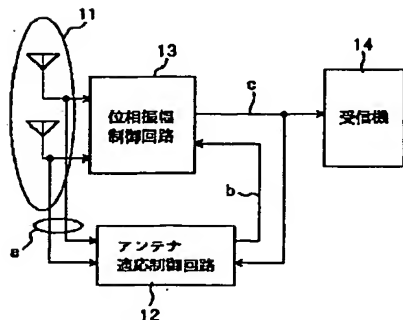
【符号の説明】

- 41 アレイアンテナ
- 42 アンテナ適応制御回路
- 10 43 位相振幅制御回路
- 44 受信機
- 45 アンテナ制御係数記憶回路
- 46 係数切替制御回路
- 461 タイミング生成回路
- 462 セクタ
- 463 ラッチ

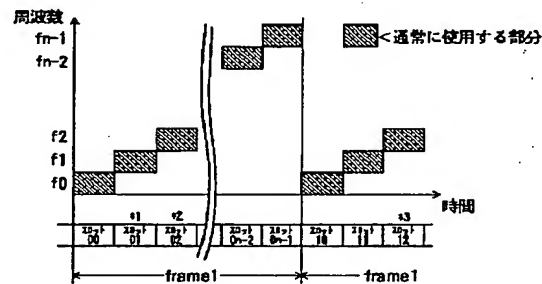
【図1】



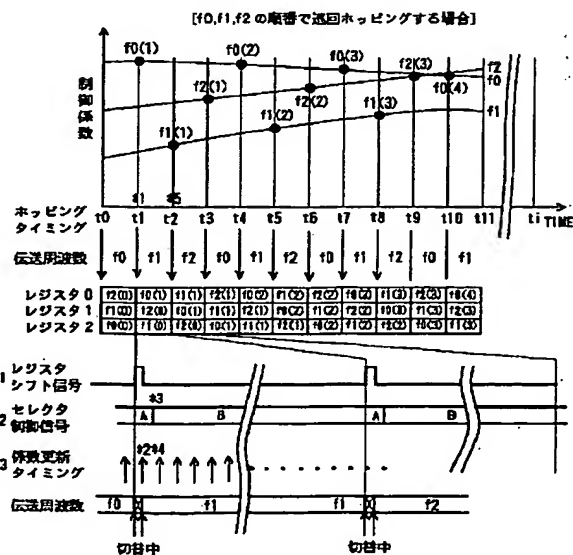
【図4】



【図2】



【図3】



【圖6】

